

(19) JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10040280 A

(43) Date of publication of application: 13.02.98

(51) Int. Cl.  
**G06F 17/50**  
**G06F 17/00**  
**H03K 19/00**

(21) Application number: 08198074

(71) Applicant: FUJITSU LTD

(22) Date of filing: 26.07.96

(72) Inventor: FUJISAWA HISANORI

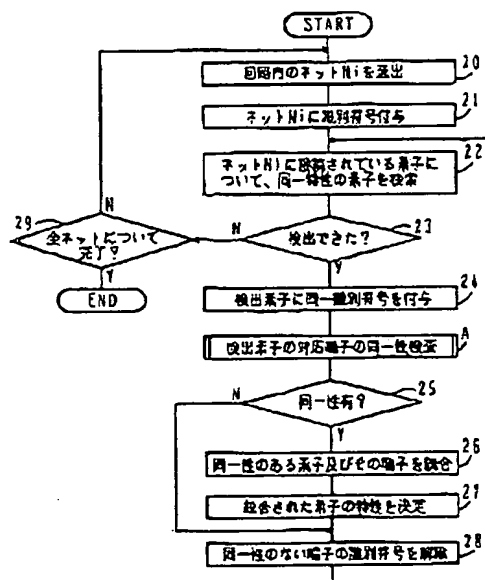
(54) METHOD AND DEVICE FOR COMPRESSING  
 SIMULATION OBJECT CIRCUIT

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To simplify a simulation object circuit without sacrificing the correctness of simulation by giving the same identification code to circuit elements having the same characteristic and judging that the characteristic of the circuit elements are mutually the same if the circuit elements are given the same code.

**SOLUTION:** A net in a net Ni in the circuit is chosen (S20), and an identification code showing an aimed net is given to the net Ni (S21). In the circuit elements connected to the net Ni, the circuit elements having mutually the same characteristic are retrieved (S22). The same identification code is given to the detected same circuit elements (S24). The (m) circuit elements having mutually the identity and their terminals are integrated into one circuit element and its terminal (S26). The characteristic of the integrated circuit element in which an empty flag is left in '0' is determined (S27). The same identification code is given to the terminals, however, if they are not mutually the same as a result, the identification code is canceled (S28).

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-40280

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 6 2 G
17/00			H 0 3 K 19/00	D
H 0 3 K 19/00			G 0 6 F 15/20	D

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平8-198074

(22) 出願日 平成8年(1996) 7月26日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 藤澤 久典

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

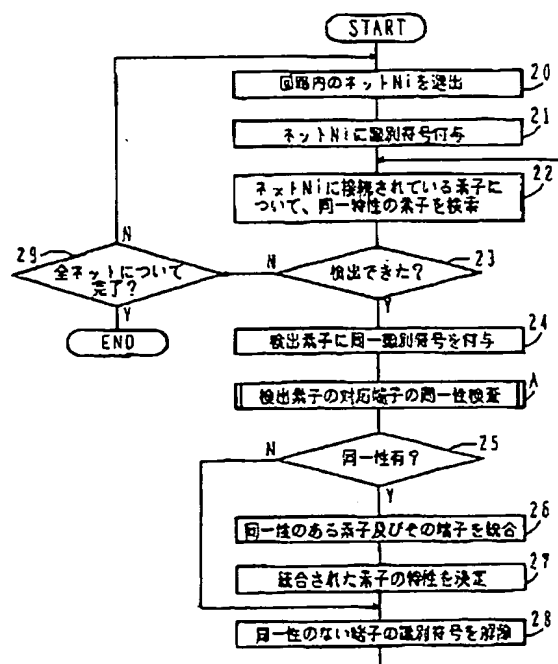
(54) 【発明の名称】 シミュレーション対象回路の圧縮方法及び装置

(57) 【要約】

【課題】シミュレーションの正確さを犠牲にすることなく、シミュレーション対象回路をより簡略化する。

【解決手段】(20~22) 着目ネットに接続されている互いに同一特性の回路素子を検索し、(24~26) 検索された同一特性の回路素子のうちm個の回路素子の互いに対応する端子が電気的に同一条件で接続されている場合に、該m個の回路素子及びそれら接続関係を1つの回路素子及びその接続関係に統合し、(27) 統合されるm個の回路素子の互いに対応する端子に流れる電流の合計値が、統合された1つの回路素子の対応する端子に流れる電流値に等しくなるように、該統合された1つの回路素子の特性を定めることによりシミュレーション対象回路を圧縮する。各回路素子にフラグ及びカウンタを割り当てておき、統合で不要になった回路素子をフラグの値で識別し、統合された回路素子について、統合された回路素子数をカウンタに設定する。

シミュレーション対象回路の圧縮方法を示すフローチャート



(2)

特開平10-40280

1

## 【特許請求の範囲】

【請求項1】 回路シミュレーションを行う前にシミュレーション対象の回路を圧縮するシミュレーション対象回路の圧縮方法であって、

(1) 若目ネットに接続されている互いに同一特性の回路素子を検索し、

(2) 検索された同一特性の回路素子のうちm個の回路素子の互いに対応する端子が電氣的に同一条件で接続されている場合に、該m個の回路素子及びそれら接続関係を1つの回路素子及びその接続関係に統合し、

(3) 統合されるm個の回路素子の互いに対応する端子に流れる電流の合計値が、統合された1つの回路素子の対応する端子に流れる電流値に等しくなるように、該統合された1つの回路素子の特性を定める、  
ことによりシミュレーション対象回路を圧縮することを特徴とするシミュレーション対象回路の圧縮方法。

【請求項2】 上記ステップ(1)において、同一特性の回路素子に同一識別符号を付与しておき、回路素子に同一識別符号が付与されていれば該回路素子の特性が互いに同一であると判定する、

ことを特徴とする請求項1記載のシミュレーション対象回路の圧縮方法。

【請求項3】 上記ステップ(2)において、上記m個の回路素子の互いに対応する端子が電氣的に同一条件で接続されている場合に、該互いに対応する端子に同一識別符号を付与しておき、端子に同一識別符号が付与されていれば該端子の電氣的接続条件が互いに同一であると判定する、

ことを特徴とする請求項1又は2記載のシミュレーション対象回路の圧縮方法。

【請求項4】 上記ステップ(2)において、上記m個の回路素子の互いに対応する端子が互いに同一ネットである場合、該m個の回路素子の互いに対応する端子が電氣的に同一条件で接続されていると判定する、

ことを特徴とする請求項1乃至3のいずれか1つに記載のシミュレーション対象回路の圧縮方法。

【請求項5】 上記ステップ(2)において、上記m個の回路素子の互いに対応する端子に他の回路素子が接続されている場合、該他の回路素子が互いに同一特性であり且つ該他の回路素子の互いに対応する端子の電氣的接続条件が互いに同一であるときに、該m個の同一回路素子の互いに対応する端子が電氣的に同一条件で接続されていると判定する、

ことを特徴とする請求項1乃至3のいずれか1つに記載のシミュレーション対象回路の圧縮方法。

【請求項6】 各回路素子にフラグを割り当てておき、上記ステップ(2)において、該フラグの値により、上記統合で不要になった回路素子を識別する、

ことを特徴とする請求項1乃至5のいずれか1つに記載のシミュレーション対象回路の圧縮方法。

2

【請求項7】 各回路素子にカウンタを割り当てておき、

上記ステップ(2)において、統合された1つの回路素子の特性を定めるための情報として、上記統合される回路素子の数mを該カウンタに設定する、

ことを特徴とする請求項1乃至6のいずれか1つに記載のシミュレーション対象回路の圧縮方法。

【請求項8】 回路シミュレーションを行う前にシミュレーション対象の回路を圧縮するシミュレーション対象回路の圧縮装置であって、

回路素子の接続関係及び該回路素子の特性が格納される記憶手段と、

該記憶手段から、若目ネットに接続されている互いに同一特性の回路素子を検索する手段と、

検索された同一特性の回路素子のうちm個の回路素子の互いに対応する端子が電氣的に同一条件で接続されている場合に、該m個の回路素子及びそれら接続関係を1つの回路素子及びその接続関係に統合することにより該接続関係を変更する手段と、

統合されるm個の回路素子の互いに対応する端子に流れる電流の合計値が、統合された1つの回路素子の対応する端子に流れる電流値に等しくなるように、該統合された1つの回路素子の特性を定める手段と、

を有することを特徴とするシミュレーション対象回路の圧縮装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シミュレーション対象回路の圧縮方法及び装置に関する。

【0002】

【従来の技術】回路シミュレーションは、設計した回路が仕様を満たすかどうか確認するため又は回路の性能向上のために行われる。回路シミュレータでは、回路素子接続関係と、モデル化した回路素子の特性と、回路への入力とに基づいて、回路内の端子に流れる電流値や端子の電圧値を算出する。LSI回路では、回路規模が大きいため、正確さを保持しつつ回路を簡略化してシミュレーション所要時間を短縮する必要がある。

【0003】従来では、例えば、図7(A)に示す如く同種のFETが直列接続されていたり、図7(B)に示す如く同種の2端子素子が直列接続されていた場合に、1つの回路素子に変更(圧縮)し、FETについてはさらにゲート入力の論理を変更して、シミュレーションを簡略化していた。

【0004】

【発明が解決しようとする課題】しかし、ゲート入力の論理を変更しただけでは、電圧や電流の変化が不正確になった。また、上記従来法では、図7(C)に示すような、ゲートを跨る回路や、ゲートを跨った後に同一端子に接続されていない素子素子間について、圧縮するする

(3)

特開平10-40280

3

ことができなかったため、シミュレーション所要時間の短縮化が充分でなかった。

【0005】本発明の目的は、このような問題点に鑑み、シミュレーションの正確さを犠牲にすることなく、シミュレーション対象回路をより簡略化することが可能な、シミュレーション対象回路の圧縮方法及び装置を提供することにある。

【0006】

【課題を解決するための手段及びその作用効果】第1発明は、回路シミュレーションを行う前にシミュレーション対象の回路を圧縮するシミュレーション対象回路の圧縮方法であって、(1)着目ネットに接続されている互いに同一特性の回路素子を検索し、(2)検索された同一特性の回路素子のうちm個の回路素子の互いに対応する端子が電氣的に同一条件で接続されている場合に、該m個の回路素子及びそれら接続関係を1つの回路素子及びその接続関係に統合し、(3)統合されるm個の回路素子の互いに対応する端子に流れる電流の合計値が、統合された1つの回路素子の対応する端子に流れる電流値に等しくなるように、該統合された1つの回路素子の特性を定める、ことによりシミュレーション対象回路を圧縮する。

【0007】この第1発明によれば、シミュレーション前にシミュレーション対象回路が圧縮され、これによりシミュレーション所要時間が短縮される。ステップ

(1)～(3)のアルゴリズムにより、従来法で圧縮できなかった素子間についても圧縮することが可能になる。また、統合された回路素子特性がステップ(3)のように定められるので、シミュレーションの正確さが損なわれない。

【0008】第1発明の第1態様では、上記ステップ

(1)において、同一特性の回路素子に同一識別符号を付与しておき、回路素子に同一識別符号が付与されていれば該回路素子の特性が互いに同一であると判定する。この第1態様によれば、回路素子の識別符号が互いに同一であればその回路素子の特性が互いに同一であると判定できるので、複数の特性値を比較することにより特性が同一であるかどうかを判定する処理の重複が回避される。

【0009】第1発明の第2態様では、上記ステップ

(2)において、上記m個の回路素子の互いに対応する端子が電氣的に同一条件で接続されている場合に、該互いに対応する端子に同一識別符号を付与しておき、端子に同一識別符号が付与されていれば該端子の電氣的接続条件が互いに同一であると判定する。この第2態様によれば、対応する回路素子の端子の識別符号が互いに同一であればその端子の電氣的接続条件が互いに同一であると判定できるので、端子に接続された他の回路素子の特性及びその回路素子の端子の電氣的接続条件が互いに同一であるかを調べる処理の重複が回避される。

4

【0010】第1発明の第3態様では、上記ステップ(2)において、上記m個の回路素子の互いに対応する端子が互いに同一ネットである場合、該m個の回路素子の互いに対応する端子が電氣的に同一条件で接続されていると判定する。この第3態様によれば、対応する端子が電氣的に同一条件で接続されているかどうかを容易に判定できる。

【0011】第1発明の第4態様では、上記ステップ

(2)において、上記m個の回路素子の互いに対応する端子に他の回路素子が接続されている場合、該他の回路素子が互いに同一特性であり且つ該他の回路素子の互いに対応する端子の電氣的接続条件が互いに同一であるときに、該m個の同一回路素子の互いに対応する端子が電氣的に同一条件で接続されていると判定する。

【0012】この第4態様によれば、対応する端子が電氣的に同一条件で接続されているかどうかを正確に判定することができる。第1発明の第5態様では、各回路素子にフラグを割り当てておき、上記ステップ(2)において、該フラグの値により、上記統合で不要になった回路素子を識別する。

【0013】この第5態様によれば、フラグで統合の結果を簡単に表すことができ、シミュレーションでの処理が容易になる。第1発明の第6態様では、各回路素子にカウンタを割り当てておき、上記ステップ(2)において、統合された1つの回路素子の特性を定めるための情報として、上記統合される回路素子の数mを該カウンタに設定する。

【0014】この第6態様によれば、シミュレーションの段階でカウンタの値に基づき、統合された回路素子の特性を必要に応じて定めればよい。第2発明は、回路シミュレーションを行う前にシミュレーション対象の回路を圧縮するシミュレーション対象回路の圧縮装置であって、回路素子の接続関係及び該回路素子の特性が格納される記憶手段と、該記憶手段から、着目ネットに接続されている互いに同一特性の回路素子を検索する手段と、検索された同一特性の回路素子のうちm個の回路素子の互いに対応する端子が電氣的に同一条件で接続されている場合に、該m個の回路素子及びそれら接続関係を1つの回路素子及びその接続関係に統合することにより該接続関係を変更する手段と、統合されるm個の回路素子の互いに対応する端子に流れる電流の合計値が、統合された1つの回路素子の対応する端子に流れる電流値に等しくなるように、該統合された1つの回路素子の特性を定める手段と、を有する。

【0015】この第2発明の装置を用いれば、上記第1発明の方法が実施される。

【0016】

【発明の実施の形態】以下、図面に基づいて本発明の一実施形態を説明する。回路シミュレーションは、シミュレーション対象回路を簡略化した後に行われ、この簡略

(4)

特開平10-40280

5

化は、図4に示す装置で行われる。この装置は、コンピュータ10に、入出力装置として外部記憶装置11、手操作入力装置12、表示装置13及びプリンタ14が接続された一般的な計算機システムである。外部記憶装置11には、回路素子間の接続関係を表したネットリスト15及びネットリスト15中の各回路素子をモデル化したものの特性を表した素子特性テーブル16が格納されており、これらを用いてコンピュータ10により回路の簡略化(圧縮)が行われ、その結果が圧縮テーブル17として外部記憶装置11に格納される。

【0017】次に、コンピュータ10による回路圧縮処理を図1～3に示すフローチャートに従って説明する。シミュレーション対象回路としては、抵抗、コンデンサ及びダイオード等の2端子素子並びにFETからなる回路を考える。最初、説明の簡単化のために図5(A)に示すような信号遅延化回路を考える。以下、括弧内は図中のステップ識別符号である。

【0018】(20) 回路内のネット $N_i$ 、例えば図5(A)中のネット $N_1$ を選出する。

(21) ネット $N_i$ に、着目ネットであることを示す識別符号を付与する。例えばネット $N_1$ に識別符号 $a_1$ を付与する。

(22) ネット $N_i$ に接続されている回路素子のうち、互いに同一特性の回路素子(同一回路素子)を検索する。ここに同一回路素子とは、ネットリスト15において、コンデンサ、抵抗、ダイオード、pMOSトランジスタ、nMOSトランジスタなどのレベルで互いに同一であり、さらに、ネットリスト15上の回路素子名で検索される素子特性テーブル16上の回路素子特性が互いに同一である複数の回路素子を言う。

【0019】図4において、素子特性テーブル16中の回路素子特性 $\mu_2$ 及び $\mu_3$ はそれぞれネットリスト15中のnMOSトランジスタ $Q_1$ 及び $Q_2$ の素子特性をまとめて示しており、素子特性は一般に複数のパラメータを有する。図5(A)では、nMOSトランジスタ $Q_1$ とnMOSトランジスタ $Q_2$ とが同一回路素子であると

【0020】(23) 複数の同一回路素子が検出された場合には、ステップ24へ進み、そうでなければステップ29へ進む。

(24) ステップ22で検出された同一回路素子に、同一識別符号を付与する。例えばnMOSトランジスタ $Q_1$ 及び $Q_2$ にいずれも識別符号 $b_1$ を付与する。

【0021】(A) 検出された同一回路素子の互いに対応する端子の同一性を検査する。ここに端子の同一性とは、複数の端子の各々が電氣的に同一条件で接続されていることを言う。図5(A)の場合、nMOSトランジスタ $Q_1$ のソース、ドレイン及びバルクの電氣的接続条件がそれぞれnMOSトランジスタ $Q_2$ のソース、ドレイン及びバルクの電氣的接続条件と同一であるかどうか

6

を満たす。

【0022】(25) ステップAで検査された互いに対応する端子(対応端子)に同一性があればステップ26へ進み、なければステップ28へ進む。

(26) 互いに同一性のある $m$ 個の回路素子及びそれらの端子を、1つの回路素子及びその端子に統合する。例えば図5(A)の回路を、図5(B)の回路に統合する。この統合は例えば、図4の圧縮テーブル17に、ネットリスト15中の各回路素子に対応した空フラグ $F$ を備え、全ての空フラグ $F$ をゼロクリアすることにより初期化しておき、図5(A)の場合、統合によりシミュレーション上不要なnMOSトランジスタ $Q_2$ に対応した空フラグ $F_2$ を、'1'にすることにより行われる。

【0023】このような空フラグ $F$ を用いれば、統合の結果を簡単に表すことができ、シミュレーションでの処理が容易になる。

(27) 空フラグ $F$ が'0'のままの統合された回路素子の特性を定める。図5(A)及び(B)の場合、統合されたnMOSトランジスタ $Q_1'$ の各端子に流れる電流が統合前のnMOSトランジスタ $Q_1$ のそれらの2倍になるように、nMOSトランジスタ $Q_1'$ の回路素子特性 $\mu_1$ を定める。すなわち、nMOSトランジスタ $Q_1$ のゲート容量及びドレイン電流がnMOSトランジスタ $Q_1$ のそれらの2倍になるように回路素子パラメータを定める。

【0024】なお、この段階で、統合された回路素子の特性を定めずに、各回路素子に対応して統合数カウンタ $C$ を備え、全ての統合数カウンタ $C$ をゼロクリアすることにより初期化しておき、統合された回路素子数 $m$ を統合数カウンタ $C$ に設定し、シミュレーションの段階で統合数カウンタ $C$ の値を見て統合された回路素子の特性を定めるようにしてもよい。図5(A)の場合、nMOSトランジスタ $Q_1$ に対応した統合数カウンタ $C_1$ に、統合された回路素子数2が設定され、nMOSトランジスタ $Q_2$ に対応した統合数カウンタ $C_2$ は、初期値0のままである。

【0025】図5及び図6では、 $j=1, 2, 4, 5$ について、空フラグ $F_j$ と統合数カウンタ $C_j$ とをまとめたものを圧縮情報 $D_j$ と表している。このようなカウンタを用いれば、シミュレーションの段階で、統合された回路素子の特性を必要に応じて定めればよい。

(28) 端子について、ステップAで後述のように同一識別符号を付与するが、結果として互いに不同一であった場合には、その識別符号を解除し、ステップ22へ戻る。識別符号が付与されたままの回路素子及び端子は、識別符号が互いに同一であればその回路素子又は端子が同一性を有すると判定できるので、同一性判定のための重複処理が回避される。

【0026】(29) 全ネットについて以上の処理が完了していなければ、すなわち、全ネットに識別番号が付

(5)

特開平10-40280

7

与されていなければ、ネットN<sub>i</sub>のiをインクリメントしてステップ20へ戻り、そうでなければ処理を終了する。図5(A)の場合、ネットN<sub>1</sub>に接続されている同一回路素子が他に無いので、ステップ23からステップ29へ進む。

【0027】次に、上記ステップAの詳細を図2に基づいて説明する。

(A1) 同一回路素子の各対応端子のネットが互いに同一であれば対応端子に同一性が有り、ステップA2へ進む、そうでなければステップA3へ進む。図5(A)の回路の場合、nMOSトランジスタQ1とnMOSトランジスタQ2について、ドレインがいずれもネットN2(電源供給線VCC)に接続され、ソースがいずれもネットN3(グランド線VDD)に接続され、バルクがいずれもネットN3に接続されているので、対応端子に同一性が有り、ステップA3へ進む。

【0028】図5(C)の回路の場合、nMOSトランジスタQ1とnMOSトランジスタQ2について、ドレインがいずれもネットN2に接続され、バルクがいずれもネットN3に接続されているが、ソースについては、nMOSトランジスタQ1がネットN3に接続されnMOSトランジスタQ2がネットN4に接続されているので、nMOSトランジスタQ1及びnMOSトランジスタQ2のドレインについてはさらに同一性を検査する必要がある、ステップA3へ進む。

【0029】(A2) 対応端子に同一性が有るという判定結果を記憶し、図1のステップ25へ進む。

(A3) ステップA1で同一ネットでないと判定された対応端子について、対応端子の識別符号が同一であればステップA2へ進む、同一でなければステップA4へ進む、識別符号が付与されていなければ同一性検査のためにステップA5へ進む。

【0030】(A4) 対応端子に同一性が無いという判定結果を記憶し、図1のステップ25へ進む。

(A5) 対応端子に同一識別符号を付与する。例えば、図5(C)のnMOSトランジスタQ1及びnMOSトランジスタQ2のソースにいずれも識別符号t1を付与する。

【0031】(B) 対応端子に接続された回路素子の同一性を検査する。図5(C)の場合、nMOSトランジスタQ1のソースはグランド線VSSに接続され、nMOSトランジスタQ2のソースはnMOSトランジスタQ3のドレインに接続されているので、nMOSトランジスタQ1のソースとnMOSトランジスタQ2のソースとは同一性が無いと判定される。この場合、ステップA4で端子に付与された同一識別符号が図1のステップ28で解除される。

【0032】(A6) 対応端子間に同一性があると判定されればステップA2へ進む、そうでなければステップA4へ進む。次に、上記ステップBの詳細を、図3に基

8

づいて説明する。

(B1) 対応端子に接続された回路素子の識別符号が同一であればステップB2へ進む、同一でなければステップB3へ進む、識別符号が付与されていなければステップB4へ進む。

【0033】(B2) 対応する回路素子に同一性が有るとの判定結果を記憶し、図2のステップA6に進む。

(B3) 対応する回路素子に同一性が無いとの判定結果を記憶し、図2のステップA6に進む。

10 (B4) 対応端子に接続された回路素子が、同一特性の回路素子(同一回路素子)であればステップB5へ進む、そうでなければステップB3へ進む。例えば図6

(A)の回路において、pMOSトランジスタQ4とpMOSトランジスタQ5とが同一回路素子で、pMOSトランジスタQ4のドレインとpMOSトランジスタQ5のドレインとが着目している対応端子である場合、nMOSトランジスタQ1及びQ2の回路素子特性が互いに同一であるとする、ステップB5へ進む。

20 【0034】(B5) 対応端子に接続された回路素子に同一識別符号を付与する。図6(A)の場合、nMOSトランジスタQ1とnMOSトランジスタQ2とにいずれも識別符号b2を付与する。

(B6) 対応端子に接続された回路素子の対応端子に同一性があるかどうかを判定する。この判定には、図2のステップA1及びA2の処理が用いられる。

30 【0035】例えば図6(A)の場合、nMOSトランジスタQ1のソース、ドレイン、ゲート及びバルクがそれぞれnMOSトランジスタQ2のソース、ドレイン、ゲート及びバルクと同一性があるかどうかを調べる。この場合、対応端子に接続されたネットが同一であるので、同一性があると判定される。対応端子に接続された回路素子の対応端子に同一性がある場合にはステップB2へ進む、同一性が無ければステップB3へ進む。

40 【0036】図6(B)の回路では、pMOSトランジスタQ4のドレインとpMOSトランジスタQ5のドレインとが同一性を有しないので、pMOSトランジスタQ4とpMOSトランジスタQ5とは統合されない。また、nMOSトランジスタQ1のドレインとnMOSトランジスタQ2のドレインとが同一性を有しないので、nMOSトランジスタQ1とnMOSトランジスタQ2も統合されない。

【0037】以上のようにして、シミュレーション前にシミュレーション対象回路が圧縮され、これによりシミュレーション所要時間が短縮される。上記のアルゴリズムにより、従来法ではできなかった回路の圧縮が可能になる。また、統合された回路素子特性が上記のように更新されるので、シミュレーションの正確さは損なわれない。

50 【図面の簡単な説明】

(6)

特開平10-40280

9

10

【図1】シミュレーション対象回路の圧縮方法を示すフローチャートである。

【図2】図1のステップAの詳細フローチャートである。

【図3】図2のステップBの詳細フローチャートである。

【図4】図1の方法の実施に用いられる装置の概略構成を示すブロック図である。

【図5】図1の説明に供する回路図である。

【図6】図1の説明に供する回路図である。

【図7】従来技術の問題点説明図である。

【符号の説明】

10 コンピュータ

11 外部記憶装置

15 ネットリスト

16 素子特性テーブル

17 圧縮テーブル

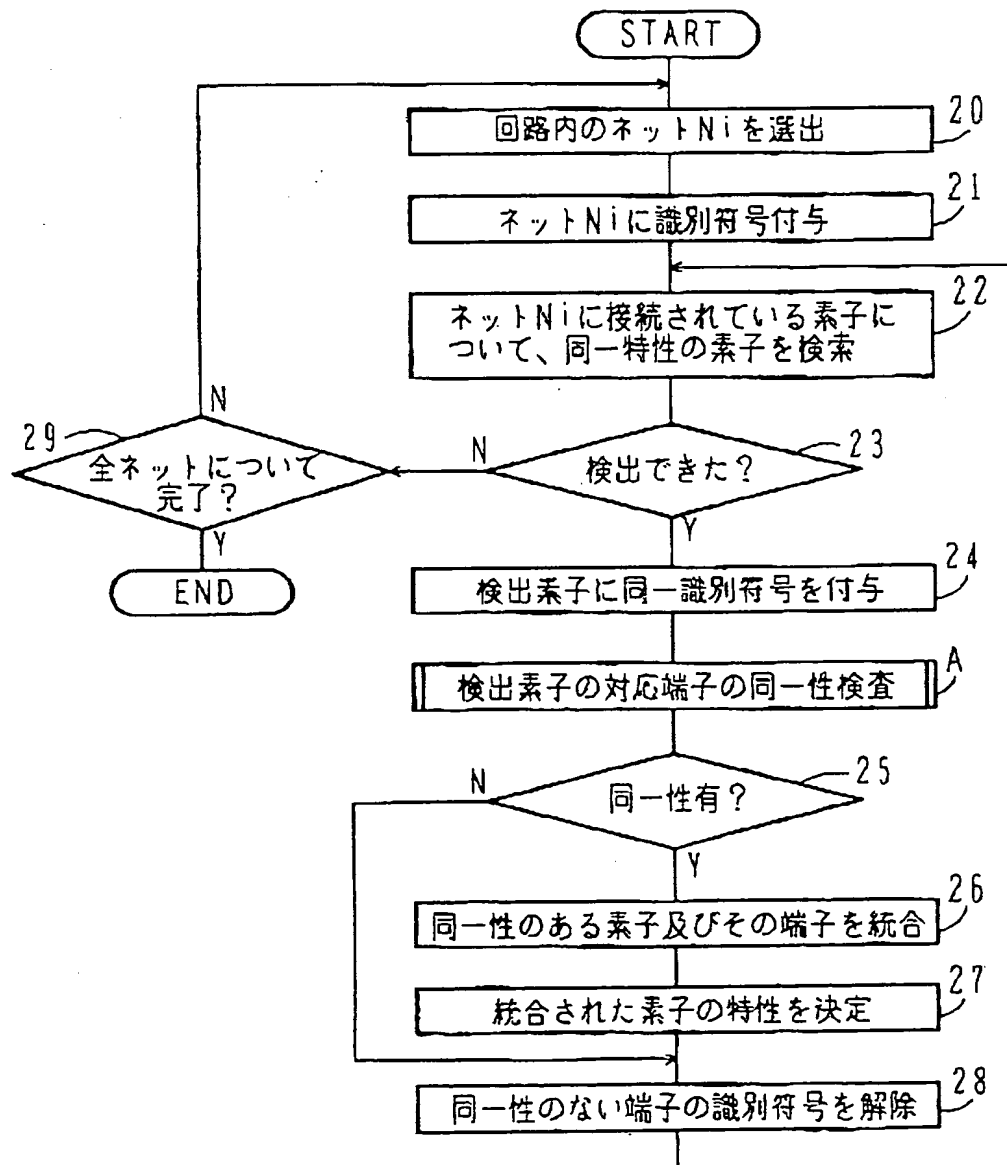
Q1～Q3、Q1' nMOSトランジスタ

Q4、Q5 pMOSトランジスタ

10 N1～N4 ネット

【図1】

シミュレーション対象回路の圧縮方法を示すフローチャート

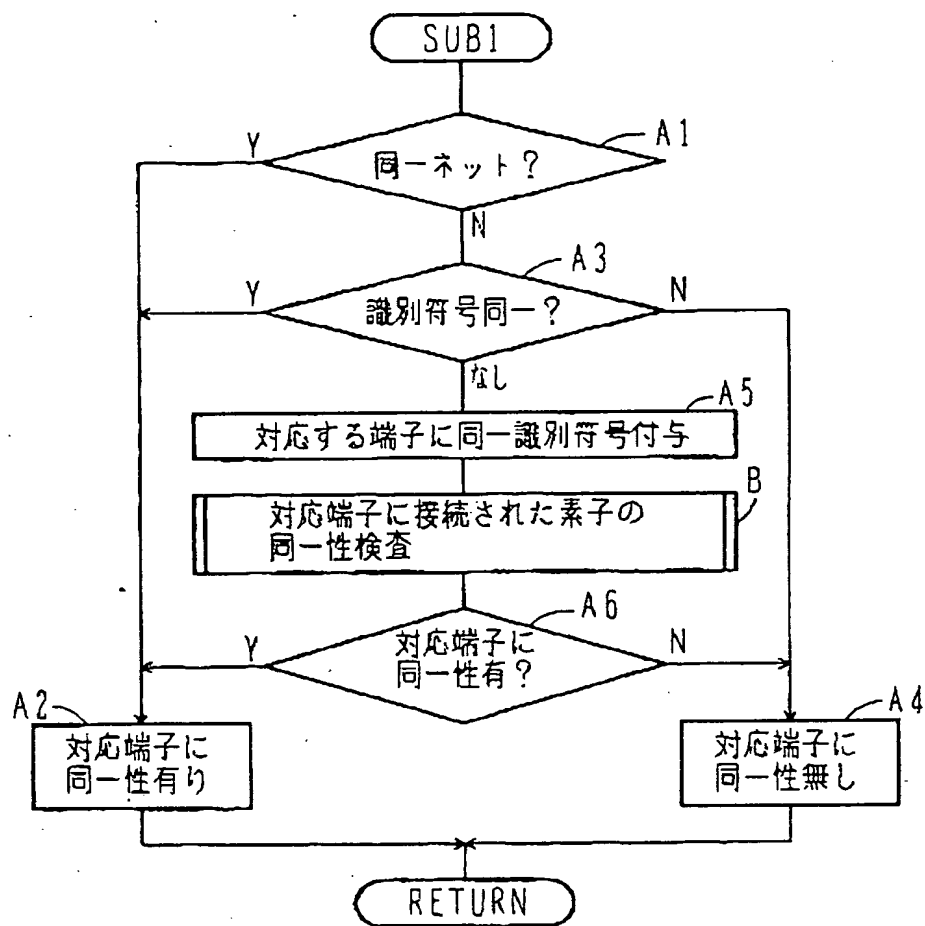


(7)

特開平10-40280

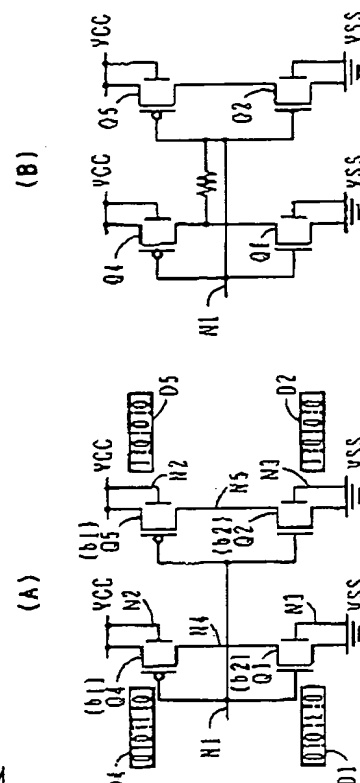
【図2】

図1のステップAの詳細フローチャート



【図6】

図1の説明に共する回路図



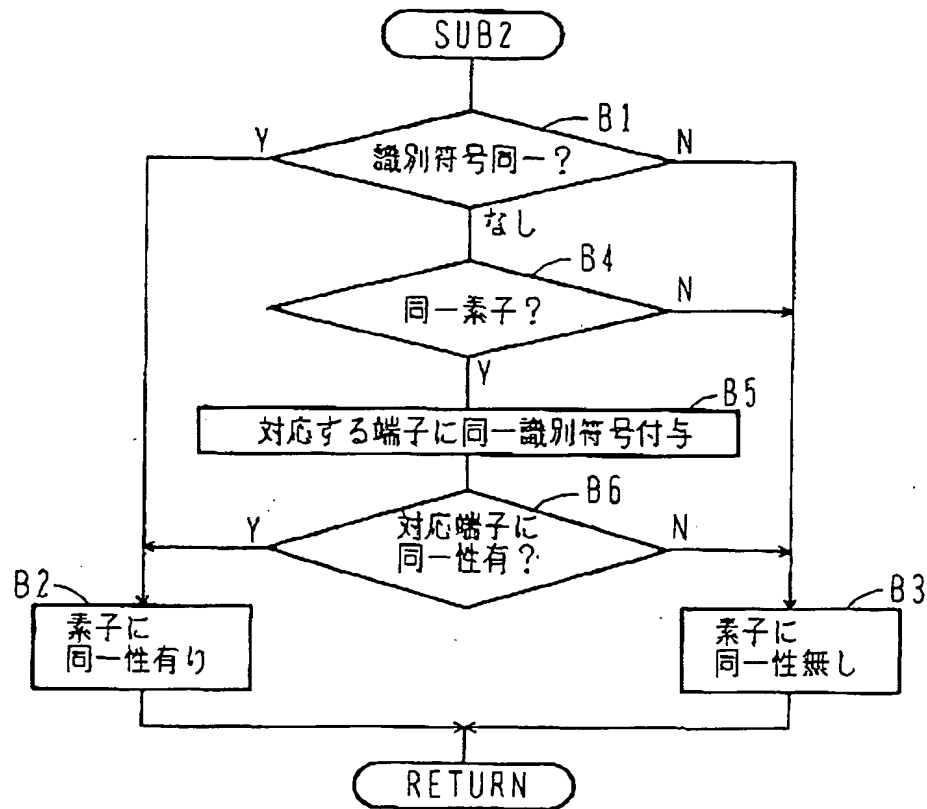


(8)

特開平10-40280

【図3】

図2のステップBの詳細フローチャート

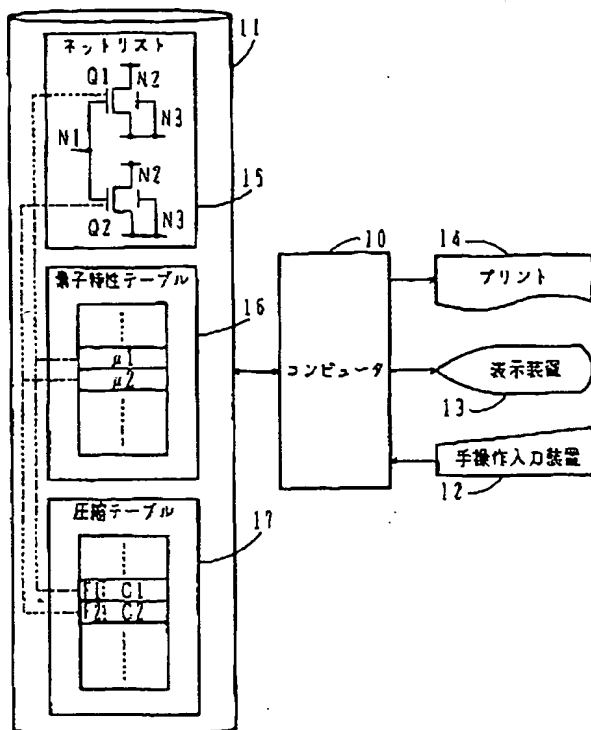


(9)

特開平10-40280

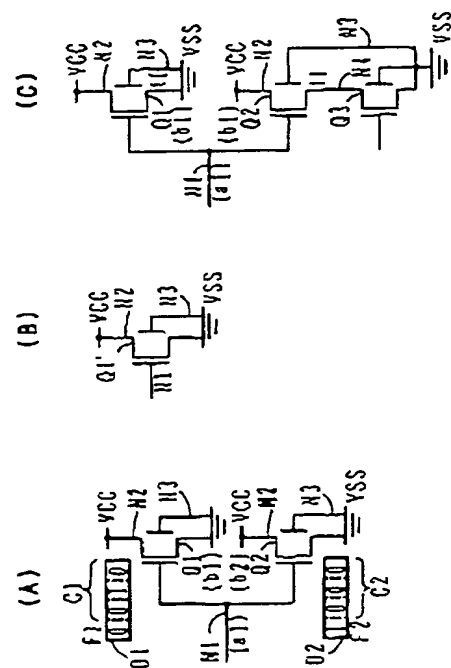
【図4】

図1の方法の実施に用いられる装置の概略構成を示すブロック図



【図5】

図1の方法の説明に共する回路図



(10)

特開平10-40280

【図7】

従来技術の問題点説明図

